

PAT-NO: JP411068559A
DOCUMENT-IDENTIFIER: JP 11068559 A
TITLE: PHASE-LOCKED LOOP CIRCUIT
PUBN-DATE: March 9, 1999

INVENTOR-INFORMATION:

NAME
IGURA, HIROYUKI

ASSIGNEE-INFORMATION:

NAME COUNTRY
NEC CORP N/A

APPL-NO: JP09222878

APPL-DATE: August 20, 1997

INT-CL (IPC): H03L007/08, H03L007/099

ABSTRACT:

PROBLEM TO BE SOLVED: To improve stability w
of an external parameter by generating a reset
a reset signal generating means and setting a p
response to the reset signal by a resetting mean

SOLUTION: This circuit consists of five blocks:
generation circuit 1, a pulse width detection typ
filter 3, a voltage-controlled oscillator 4 and a
circuit 1 generates a reset signal RESET of a pre:
4 is made a reset state in response to the signal
difference of a reference input signal RCKL in the
oscillation output signal SCLK is set to zero. As
integration components which are accumulated in the
eliminated, and phase delay is reduced artificially. Therefore, phase margin
increases, and as result, the stability of a PLL circuit can be improved with
respect to external parameters.

COPYRIGHT: (C)1999, JPO

*please
scan*

ations
cle by
in

l
loop
e
lator

phase

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-68559

(43) 公開日 平成11年(1999) 3月9日

(51) Int.Cl.⁶

H 0 3 L 7/08

7/099

識別記号

F I

H 0 3 L 7/08

Z

F

審査請求 有 請求項の数 6 O L (全 11 頁)

(21) 出願番号 特願平9-222878

(22) 出願日 平成9年(1997) 8月20日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 井倉 裕之

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 弁理士 ▲柳▼川 信

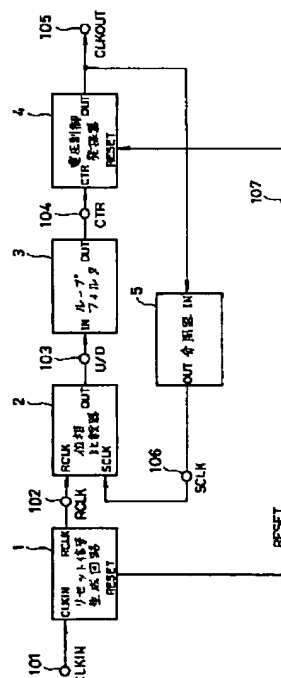
(54) 【発明の名称】 位相同期ループ回路

(57) 【要約】

【課題】 電源電圧や周囲温度等の外部パラメータの変動に対する安定性を高める。

【解決手段】 リセット信号生成回路1によって所定周期でリセット信号を発生させる。このリセット信号にตอบสนองして電圧制御発振器をリセット状態にし、位相比較器3における基準入力信号と発振出力信号との位相差を零に設定する。

【効果】 外部パラメータが変動してもPLL回路を安定して動作させることができる。



【特許請求の範囲】

【請求項1】 基準入力信号と発振出力信号との位相差を検出する位相差検出手段と、前記位相差検出手段の位相差検出結果に応じて発振動作を行って前記発振出力信号を送出する発振手段とを含む位相同期ループ回路であって、所定周期でリセット信号を発生するリセット信号発生手段と、前記リセット信号に反応して前記位相差を零に設定するリセット手段とを含むことを特徴とする位相同期ループ回路。

【請求項2】 前記発振出力信号を分周し前記リセット信号によって初期状態にリセットされる分周手段を更に含むことを特徴とする請求項1記載の位相同期ループ回路。

【請求項3】 前記発振手段は、前記リセット信号を一方の入力とする2入力ゲート回路と、このゲート回路の出力信号を前記位相差検出結果に応じて遅延させる遅延回路と、この遅延回路により遅延された信号を反転して前記ゲート回路の他方の入力とする反転回路とを含むことを特徴とする請求項1又は2記載の位相同期ループ回路。

【請求項4】 前記所定周期は、前記基準入力信号の繰返し周期と略同一であることを特徴とする請求項1～3のいずれかに記載の位相同期ループ回路。

【請求項5】 前記位相差検出手段は、前記基準入力信号及び前記発振出力信号の遷移タイミング同士の位相差を検出する手段を含むことを特徴とする請求項1～4のいずれかに記載の位相同期ループ回路。

【請求項6】 前記位相差検出手段は、前記基準入力信号と前記発振出力信号との位相差を検出する手段と、この検出結果に応じて前記基準入力信号と前記発振出力信号とのいずれか一方を遅延させる手段と、この遅延された後の信号と前記基準入力信号及び前記発振出力信号のうちの遅延されなかった方の信号との遷移タイミング同士の位相差を検出する手段を含むことを特徴とする請求項1～4のいずれかに記載の位相同期ループ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は位相同期ループ回路に関し、特にLSI (Large Scale Integrated Circuit) に供給するクロック信号を生成する位相同期ループ (Phase Locked Loop; 以下、PLLと呼ぶ) 回路に関する。

【0002】

【従来の技術】従来、この種のPLL回路はLSI内部で用いるクロックを生成するために用いられている。例えば、畑雅泰、古川計介による文献「PLL-ICの使い方」、秋葉出版社 (1986年2月10日発行) の21～24頁には、従来のクロック連倍回路として用いられるPLL回路の構成について解説してある。通常、PLL回路は図15に示されているように、電圧制御発振

器45によって生成された出力クロック信号CLKOUT (端子133) を、分周器46によって分周して得られた同期クロック信号SCLK (端子134) と、入力クロック信号CLKIN (端子130) を位相比較器43で比較し、その結果得られた位相差信号U/D (端子131) からループフィルタ44を用いて高周波成分を取除き得られたコントロール信号CTR (端子132) によって電圧制御発振器45の出力クロック信号CLKOUTの周波数をコントロールすることによって、入力クロック信号CLKINと同期信号SCLKとの周波数差、及び位相差が無くなるようにコントロールし、それによって同期信号SCLKと入力クロック信号CLKINとの位相、周波数を等しくする。ここで、同期信号SCLKは出力クロック信号CLKOUTを分周した信号であるので、出力クロック信号CLKOUTの周波数は、同期信号SCLKの周波数の、分周器46の分周比の逆数倍 (つまり、分周比が1/2なら2倍) であるので、結局、出力クロック信号CLKOUTの周波数は入力クロック信号CLKINの周波数の、分周器46の分周比の逆数倍の周波数となる。このような機能によって、PLL回路は入力クロック信号を通信した出力クロック信号を得ることができる。

【0003】

【発明が解決しようとする課題】上述した従来のPLL回路の構成では外部パラメータの変動に対する安定性が低いという欠点がある。一般にPLL回路はフィードバック制御機構を用いて出力クロック信号周波数の制御を行っている。このフィードバック制御機構は、ループゲインが1以上になると、制御信号が発散・振動し、制御が行えなくなることが知られている。フィードバック制御系であるPLL回路には、例えば、位相比較器、ループフィルタ、電圧制御発振器、分周器等の構成要素夫々のゲイン、位相遅延値等の多数の制御パラメータが存在する。それらの各パラメータは電源電圧、温度、周波数等の外部パラメータによって変化する。このため、動作保証範囲内での外部パラメータでのPLL回路の制御動作を保証するには、動作保証範囲内での外部パラメータによって設定される制御パラメータの全ての組合わせにおいて、フィードバック制御を行うための条件を満たしていることを保証しなければならない。

【0004】外部パラメータの動作保証範囲は広いことが望ましい。そのためには、①外部パラメータによる内部パラメータの変化を抑える、②内部パラメータの変化による制御動作条件の余裕を広くする、の2つの方法が考えられる。ここで、フィードバックループ制御機構におけるループゲインが1以上になる原因の1つとして、ループ位相遅延量が π (180度) 以上になる場合が考えられる。この場合、本来ネガティブフィードバックであるループがポジティブフィードバックになるために、ループゲインが1以上になり、制御が行えなくなる。

【0005】このループ位相遅延は、ループを構成する各要素の位相遅延の和で示される。

【0006】しかし、通常の通信用PLL回路で用いられているフィードバックループ系では、電圧制御発振器の位相遅延量は、位相の積分項となるため、理論上 $\pi/2$ となる。また、ループフィルタの位相遅延量は、ループフィルタがローパスフィルタを構成する必要があるため、理論上0から $\pi/2$ の値となる。しかし、1制御期間内での制御信号の変動による出力クロック信号の波形の周期の変動（ジッタ）を抑えるためループフィルタのダンピング定数は大きい方が好ましい。その結果として、ループフィルタの位相遅延量もある程度大きな値に設定する必要がある。

【0007】上記のような理由から、通常の通信用PLL回路におけるループ位相遅延は π に近い値になり、そのため、位相余裕が小さく外部パラメータの変動に対する安定性が低くなる。

【0008】これらのことを、より具体的に説明すると次のようになる。図16には従来の通信用PLL回路の動作波形が示されている。図16中の波形217は図15中の端子130の波形、波形218は端子134の波形、波形219は端子131の波形、波形220は端子132の波形、波形221は端子133の波形を夫々示している。なお、図16中のP161～P165は、遅延時間コントロール信号CTRと同期クロック信号SCLKとの位相誤差である。

【0009】同図において、入力クロック信号CLKINの5番目の周期（図では⑤）での同期クロック信号SCLKの周期は、既に入力クロック信号CLKINの周期より短いにもかかわらず、位相誤差は同期クロック信号SCLKが進んでいることを示す。このため、電圧制御発振器の遅延時間コントロール信号CTRはさらに小さな値となり、同期クロック信号SCLKの周期はさらに短くなるであろうことが予想される。これは、電圧制御発振器45の積分項により位相誤差が蓄積してしまったため、正しい位相誤差を観測することができなかった（位相誤差の観測の遅れ）からである。このように位相誤差の観測の遅れが大きいと、位相制御が発振もしくは発散し、位相同期が行えなくなる。これが、ループ位相遅延による不安定性である。

【0010】このように、従来の回路では、このループ位相遅延による不安定性が発生するため外部パラメータの変化による誤動作が生じるという欠点があった。

【0011】本発明は上述した従来技術の欠点を解決するためになされたものであり、その目的は外部パラメータの変動に対する安定性が高い位相同期ループ回路を提供することである。

【0012】

【課題を解決するための手段】本発明による位相同期ループ回路は、基準入力信号と発振出力信号との位相差を

検出する位相差検出手段と、前記位相差検出手段の位相差検出結果に応じて発振動作を行って前記発振出力信号を送出する発振手段とを含む位相同期ループ回路であって、所定周期でリセット信号を発生するリセット信号発生手段と、前記リセット信号に反応して前記位相差を零に設定するリセット手段とを含むことを特徴とする。

【0013】要するに本位相同期ループ回路は、定期的に入力クロック信号と出力クロック信号との位相差をリセットする特徴を有する。より具体的には、入力クロック信号によってリセット信号を生成し、この生成したリセット信号によって電圧制御発振器の位相遅延量を初期化するのである。

【0014】つまり、入力クロック信号によって生成されるリセット信号により定期的に電圧制御発振器がリセットされるため、電圧制御発振器に蓄積される位相の積分成分が削除され、擬似的に位相遅延が減少し、そのため位相余裕が増大し、その結果外部パラメータに対するPLL回路の安定性が向上するのである。

【0015】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して詳細に説明する。

【0016】図1は本発明の第1の実施の形態によるPLL回路の構成を示すブロック図である。同図において、本発明のPLL回路は、リセット信号生成回路1、パルス幅差検出型の位相比較器2、ループフィルタ3、電圧制御発振器4及び分周器5の5つのブロックによって構成されている。入力クロック信号CLKINが与えられる端子101はリセット信号生成回路1の入力端に接続され、リセット信号生成回路1の参照クロック出力端には端子102が、リセット信号出力端には端子107が接続されている。位相比較器2の参照クロック入力端には端子102が、同期クロック入力端には端子106が接続され、位相差信号出力端には端子103が接続される。ループフィルタ3の入力端には端子103が接続され、出力端には端子104が接続される。電圧制御発振器4のコントロール信号入力端には端子104が接続され、リセット信号入力端には端子107が接続される。電圧制御発振器4の出力端は端子105に接続され、端子105に与えられる信号は出力クロック信号CLKOUTとなる。端子105は分周器5の入力端に接続され、分周器5の出力端は端子106に接続される。

【0017】次に、図1中のブロックの構成例について図面を参照して詳細に説明する。

【0018】図2は、図1に示されているリセット信号生成回路1の構成例を示す図である。同図において、クロック入力端子108は遅延素子6の入力端に接続されると共に、AND回路9の一方の入力端に接続される。また、遅延素子6の出力端はインバータ回路7の入力端に接続され、インバータ回路7の出力端はインバータ回路8の入力端及びAND回路9のもう一方の入力端に接

続される。インバータ回路8の出力端は遅延信号出力端109に接続され、AND回路9の出力端はリセット信号出力端110に接続される。

【0019】次に、図2に示されているリセット信号生成回路1の動作を説明する。クロック入力端子108に印加された入力クロック信号は遅延素子6を通過することによって、入力クロック信号に対して位相の遅れた参照クロック信号となる。その参照クロック信号をインバータ回路7で反転した反転信号と入力クロック信号との論理積をAND回路9でとる。こうすることによって、パルス幅がその遅延時間にほぼ等しい、パルス状のリセット信号RESETを得ることができる。この信号RESETはリセット信号出力端子に出力される。参照クロック信号CLKは参照クロック出力端子に出力される。

【0020】図3は、図1に示されているパルス幅差検出型の位相比較器2の構成例を示す図である。同図において、参照クロック入力端子111はインバータ回路11の入力端及びAND回路12の一方の入力端に接続される。また、同期クロック入力端子112はインバータ回路10の入力端及びAND回路13の一方の入力端に接続される。インバータ回路10の出力端はAND回路12のもう一方の入力端に接続され、インバータ回路11の出力端はAND回路13のもう一方の入力端に接続される。

【0021】AND回路12の出力端はインバータ回路14の入力端に接続され、pMOSトランジスタ15のゲート端子に接続される。AND回路13の出力端はnMOSトランジスタ16のゲート入力端に接続される。pMOSトランジスタ15のドレイン端子は電源電圧レベルVDDに接続され、nMOSトランジスタ16のドレイン端子はグラウンドレベルGNDに接続される。pMOSトランジスタ15及びnMOSトランジスタ16のソース端子は互いに接続され、位相比較信号出力端子113に接続される。

【0022】次に、図3に示されているパルス幅差検出型の位相比較器2の動作を説明する。

【0023】参照クロック入力端子111の電位がHighレベル、同期クロック入力端子112の電位がLowレベルであるとき、AND回路12の出力はHighレベルとなる。すると、pMOSトランジスタ15はオンとなり、出力端子113はHighレベルになる。

【0024】参照クロック入力端子111の電位がLowレベル、同期クロック入力端子112の電位がHighレベルであるとき、AND回路13の出力はHighレベルとなる。すると、nMOSトランジスタ16はオンとなり、出力端子113はLowレベルになる。

【0025】参照クロック入力端子111の電位と同期クロック入力端子112の電位とが等しい場合、出力端子113はハイインピーダンスとなる。つまり、2つの

入力信号のパルス幅の時間差に比例した時間だけ出力信号がHighレベルもしくはLowレベルとなり、2つの入力信号の状態が等しいときには出力電位がその前の状態を保持するようにハイインピーダンス状態となる。このような動作により、参照クロック信号CLKと同期クロック信号CLKとのパルス幅差に応じた出力パルス信号を得ることができるのである。

【0026】図4は図1に示されているループフィルタ3の構成例を示す図である。同図において、入力端子114は抵抗17の一端に接続され、抵抗17の他端は出力端子115に接続される。また、抵抗18の一端は出力端子115に接続され、抵抗18の他端は容量19の一端と接続される。容量19の他端はグラウンドレベルGNDに接続される。

【0027】かかるループフィルタ3は周知のローパスフィルタを構成しており、入力端子114に印加される位相誤差信号の高周波成分を除去して、出力端子115に出力する。

【0028】図5は図1に示されている電圧制御発振器4の構成例を示す図である。同図において、電圧制御発振器4は、複数のAND回路、電圧制御遅延素子、インバータ回路及びバッファ回路から構成されている。コントロール信号入力端子116は電圧制御遅延素子26～29の遅延時間コントロール入力端に接続される。リセット信号入力端子117はインバータ回路20の入力端に接続され、インバータ回路20の出力端はAND回路22～25の一方の入力端に接続されている。AND回路22～25の出力端は夫々電圧制御遅延素子26～29の遅延信号入力端に接続され、電圧制御遅延素子26～28の遅延信号出力端はAND回路23～25のもう一方の入力端に接続される。

【0029】電圧制御遅延素子29の遅延信号出力端はインバータ回路21の入力端に接続され、インバータ回路21の出力端はAND回路22のもう一方の入力端に接続される。AND回路22の出力端はバッファ回路30の入力端にも接続され、バッファ回路30の出力端は出力クロック出力端子118に接続される。

【0030】次に、図5に示されている電圧制御発振器4の動作を説明する。

【0031】リセット信号入力端子117の電位がLowレベルであるとき、AND回路22～25は全て、他方の入力端の信号をそのまま出力端に出力するようになるため、インバータ回路21、AND回路22～25、電圧制御遅延素子26～29がネガティブフィードバックループとして形成され、このループは発振し、出力端子118にクロック信号を出力するようになる。

【0032】出力されるクロック信号の周期は、ループを形成する電圧制御遅延素子及びAND回路、インバータ回路の遅延時間の和の2倍になるため、コントロール信号入力端子116の電位によってその周期が変化する

る。もし、リセット信号入力端子117の電位がHighレベルであるとき、AND回路22～25の出力は全てLowレベルとなり、出力端子118の電位もLowレベルとなる。また、このとき電圧制御遅延素子26～29の遅延時間に相当する時間の経過後、電圧制御遅延素子26～29の出力端はHighレベルとなる。つまり、リセット入力端子117の電位をHighレベルとすることによりこの電圧制御遅延素子の内部状態を初期状態に設定することができる。

【0033】図6は図5中の電圧制御遅延素子26～29の構成例を示す図である。同図において、遅延信号入力端子119にはバッファ回路31の入力端が接続されている。バッファ回路31の出力端は遅延信号出力端子121に接続されていると共に、nMOSTランジスタ32のソース端にも接続されている。遅延時間コントロール入力端子120はnMOSTランジスタ32のゲート端に接続され、nMOSTランジスタ32のドレイン端は容量33の一端と接続されている。容量33の他端はグラウンドレベルGNDに接続されている。したがって、バッファ回路31と容量33とは時定数回路による遅延回路を構成することになる。

【0034】図7は図1中の分周器5の構成例を示す図である。同図において、入力端子122はフリップフロップ回路34のクロック入力端に接続されている。フリップフロップ回路34の信号出力端は出力端子123及びインバータ回路35の入力端に接続されている。インバータ回路35の出力端はフリップフロップ回路34の信号入力端に接続されている。フリップフロップ回路34には、例えば周知のD型フリップフロップを用いる。

【0035】かかる分周器5は1/2分周器を構成しており、入力端子122に輸入されたクロック信号を1/2の周波数に分周して、出力端子123に出力する。

【0036】図1に戻り、同図中の各部の動作について動作波形の例を参照しつつ説明する。図8は図1中の各端子の波形例を示すタイムチャートである。波形201は端子101の波形、波形202は端子102の波形、波形203は端子107の波形、波形204は端子106の波形、波形205は端子103の波形、波形206は端子104の波形、波形207は端子105の波形を示している。端子101に波形201のような入力クロック信号CLKINが与えられると、波形202に示す、波形201に対して一定の遅延時間を持つような参照クロック信号RCLKが端子102に得られる。

【0037】また、端子107には波形203に示すような、波形201と波形202との位相差に相当する幅を持つパルス状のリセット信号RESETが得られる。電圧制御遅延素子4に与えられるリセット信号RESETがHighレベルになると、電圧制御遅延素子4はリセットされ、出力クロック信号CLKOUTはLowレベルとなる。

【0038】次に、リセット信号RESETがLowレベルになると、直ちに出力クロック信号CLKOUTはHighレベルになる。すると、電圧制御遅延素子4は発振を開始し、出力クロック信号CLKOUTは波形207に示すような波形となる。出力クロック信号CLKOUTは分周器5によって分周され、波形204に示すような同期クロック信号SCLKが端子106に得られる。波形202に示される参照クロック信号RCLKと波形204に示される同期クロック信号SCLKとのHighレベルとの幅の差が位相誤差P1～P5となる。この位相誤差に比例した幅を持つ信号が位相比較器2によって生成され、波形205に示すような波形を持った位相誤差信号U/Dが端子103に与えられる。

【0039】この位相誤差信号U/Dはループフィルタ3によってその高周波成分が除去され、電圧制御遅延素子4のコントロール信号CTRとして端子104に与えられる。この信号は波形206のような波形となる。

【0040】ここで、もし同期クロック信号SCLKが参照クロック信号RCLKよりHighレベルの期間が長いとき、つまり位相が遅れているとき、位相誤差信号U/DはLowレベルのパルス信号となるため、コントロール信号CTRの電位は下がってゆく。そのため、電圧制御遅延素子4の電圧制御遅延素子の遅延時間は減少し、それによって出力クロックCLKOUTの周期は短くなる。そのため同期クロックの位相遅延は減少し、それによる位相誤差も次第に減少する。その結果、位相誤差が無くなるようにコントロール信号CTRの電位が制御される。

【0041】また、その反対に、同期クロック信号SCLKが参照クロック信号RCLKよりHighレベルの期間が短いとき、つまり位相が進んでいるとき、位相誤差信号U/DはHighレベルのパルス信号となるため、コントロール信号CTRの電位は上がってゆく。そのため、電圧制御遅延素子4の電圧制御遅延素子の遅延時間は増加し、それによって出力クロックCLKOUTの周期は長くなり、そのため参照クロックRCLKの位相遅延は減少し、それによる位相誤差も次第に減少する。

【0042】結局、これらの過程によって参照クロック信号RCLKと同期クロック信号SCLKとの位相は一致し、その結果出力クロック信号CLKOUTは入力クロック信号CLKINを逡倍したクロックとなる。

【0043】図9は本発明の第2の実施の形態によるPLL回路の構成を示すブロック図である。同図において、図1のPLL回路と異なる点は、分周器5がリセット付分周器36に代わっている点と、リセット信号RESETがそのリセット入力端に接続されている点である。

【0044】図10にリセット付分周器36の構成例が示されている。同図において、出力クロック信号CLKOUTを分周した信号が同期クロック信号SCLKであ

る。ここでもしリセットのタイミングと分周された同期クロックSCLKのタイミングとがずれたとき、間違った位相誤差が観測される可能性がある。図11に同期クロックSCLKがリセット信号RESETとあったタイミングとなっている場合、ずれている場合の波形例を示している。タイミングがあっている場合の波形が波形210に、ずれている場合の波形が波形211に示されている。波形210の同期クロックSCLK#1がリセット信号RESETと遷移タイミングが合っている場合、位相誤差が正しく得られていることが分かる。一方、波

形211の同期クロックSCLK#2がリセット信号RESETと遷移タイミングが合っていない場合、位相誤差が正しく得られていないことが分かる。

【0045】よって、分周器36にリセット信号RESETを与え、定期的にタイミングを矯正することによってリセット信号RESETとのずれを防ぐことができる。このため、図9及び図10に示されているように、リセット信号で分周器36内のフリップフロップ回路37をリセットするのである。

【0046】図12は図9中の位相比較器20の構成例を示す図である。同図において、図3に示されている位相比較器2と異なる点は、参照クロック入力端子111及び同期クロック入力端子112に立上り位相調整回路29が接続され、その出力端が参照クロック入力端子が接続されていたノード、つまり、インバータ11の入力端及びAND回路12の一方の入力端に接続されているノードに接続されている点である。

【0047】図13にこの立上り位相調整回路39の構成例が示されている。この立上り位相調整回路39は、同図に示されているように、立上り位相のみを比較する

位相比較器40と、ループフィルタ41と、電圧制御遅延素子42とを含んで構成されている。

【0048】参照クロック入力端子127は電圧制御遅延素子42の入力端に接続され、電圧制御遅延素子42の出力端は出力端子129に接続され、またこの電圧制御遅延素子42の出力端は位相比較器40の一方の入力端にも接続されている。同期クロック入力端子128は位相比較器40の他方の入力端に接続され、位相比較器40の出力端はループフィルタ41の入力端に接続されている。ループフィルタ41の出力端は電圧制御遅延素子42の遅延時間コントロール信号入力端に接続されている。

【0049】かかる構成において、もし出力端子129に現れるクロック波形の立上りのタイミングに対して同期クロック入力端子128に現れるクロック波形の立上りのタイミングが進んでいるか、もしくは遅れているとき、位相比較器40によって、その位相差が検出される。その信号の高周波成分をループフィルタ41によって取除いた後、電圧制御遅延素子42の遅延時間が小さくなるように遅延時間コントロール信号が制御される。

こうすることによって、出力端子129に現れるクロック信号と同期クロック入力端子128に現れるクロック信号との立上りタイミングの位相が等しくなるように動作する。

【0050】図14に参照クロック信号RCLKと同期クロック信号SCLKとの関係が示されている。同図において、もし分周器5もしくは分周器36の遅延時間が零の場合、参照クロック信号RCLKの立上りのタイミングと同期クロック信号SCLKの立上りのタイミングとは、リセット信号RESETの立上りタイミングによって引き起こされ、直ちに伝わるのではほぼ等しいと考えて良い。

【0051】この場合、図14(a)のように、参照クロック信号RCLKと同期クロック信号SCLKとの立上りタイミングは等しく、クロック信号のパルス幅の差がそのまま位相誤差になるはずである。ところが、分周器5もしくは分周器36の遅延時間が大きいと、図14(b)のように、参照クロック信号RCLKと同期クロック信号SCLKとの立上りタイミングがずれる。すると、両クロック信号のパルス幅の差に相当する時間に分周器の遅延時間が加算され、正しく位相誤差を測定することができなくなる。

【0052】そこで、図12に示されているように位相比較器を構成すれば、参照クロック信号RCLKと同期クロック信号SCLKとの立上りのタイミングを一致させることができる。このため、分周器の遅延を排除することができ、より正確な位相誤差を測定できるようになる。

【0053】以上のように本発明によれば、電源電圧、温度等の外部パラメータの変動に対するPLL回路の安定性を向上させることができるのである。このため、本発明を用いたPLL回路は従来のPLL回路より広い動作条件で動作させることができるのである。

【0054】請求項の記載に関連して本発明は更に次の態様をとりうる。

【0055】(1)前記分周手段は、前記発振出力信号をクロック入力とし前記リセット信号によってリセットされるD型フリップフロップと、このフリップフロップの出力を反転して該フリップフロップの入力に与える反転回路とを含み、前記フリップフロップの出力を分周出力としたことを特徴とする請求項2記載の位相同期ループ回路。

【0056】(2)前記遅延回路は、時定数回路であることを特徴とする請求項3記載の位相同期ループ回路。

【0057】

【発明の効果】以上説明したように本発明は、PLL回路において、所定周期でリセット信号を発生させ、このリセット信号に応答して基準入力信号と発振出力信号との位相差を零に設定することにより、電源電圧や周囲温度等の外部パラメータが変動してもPLL回路を安定し

11

て動作させることができるという効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態による位相同期ループ回路の構成を示すブロック図である。

【図2】図1中のリセット信号生成回路の構成例を示すブロック図である。

【図3】図1中の位相比較器の構成例を示す図である。

【図4】図1中のループフィルタの構成例を示す図である。

【図5】図1中の電圧制御発振器の構成例を示すブロック図である。

【図6】図5中の電圧制御遅延素子の構成例を示す図である。

【図7】図1中の分周器の構成例を示す図である。

【図8】図1中の位相同期ループ回路の動作を示すタイムチャートである。

【図9】本発明の第2の実施の形態による位相同期ループ回路の構成を示すブロック図である。

【図10】図9中の分周器の構成例を示す図である。

12

【図11】分周器がタイミングずれを起こしたときの動作を示すタイムチャートである。

【図12】図9中の位相比較器の構成例を示す図である。

【図13】図12中の立上り位相調整回路の構成例を示す図である。

【図14】図(a)及び(b)は、位相検出誤差が発生する様子を示すタイムチャートである。

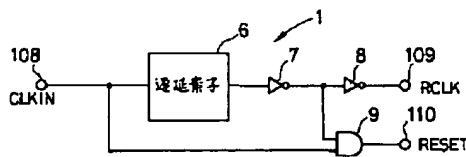
【図15】従来の位相同期ループ回路の構成を示すブロック図である。

【図16】図15の各部の動作を示すタイムチャートである。

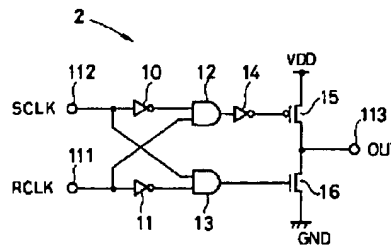
【符号の説明】

- 1 リセット信号生成回路
- 2, 20 位相比較器
- 3 ループフィルタ
- 4 電圧制御発振器
- 5, 36 分周器

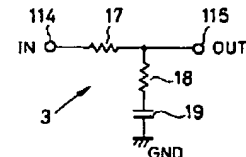
【図2】



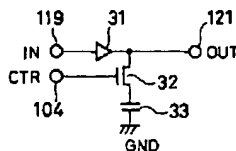
【図3】



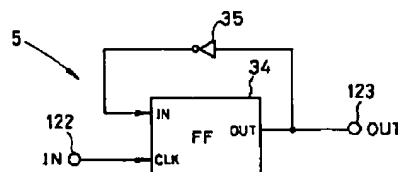
【図4】



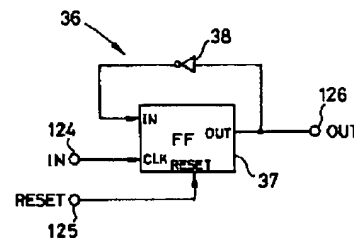
【図6】



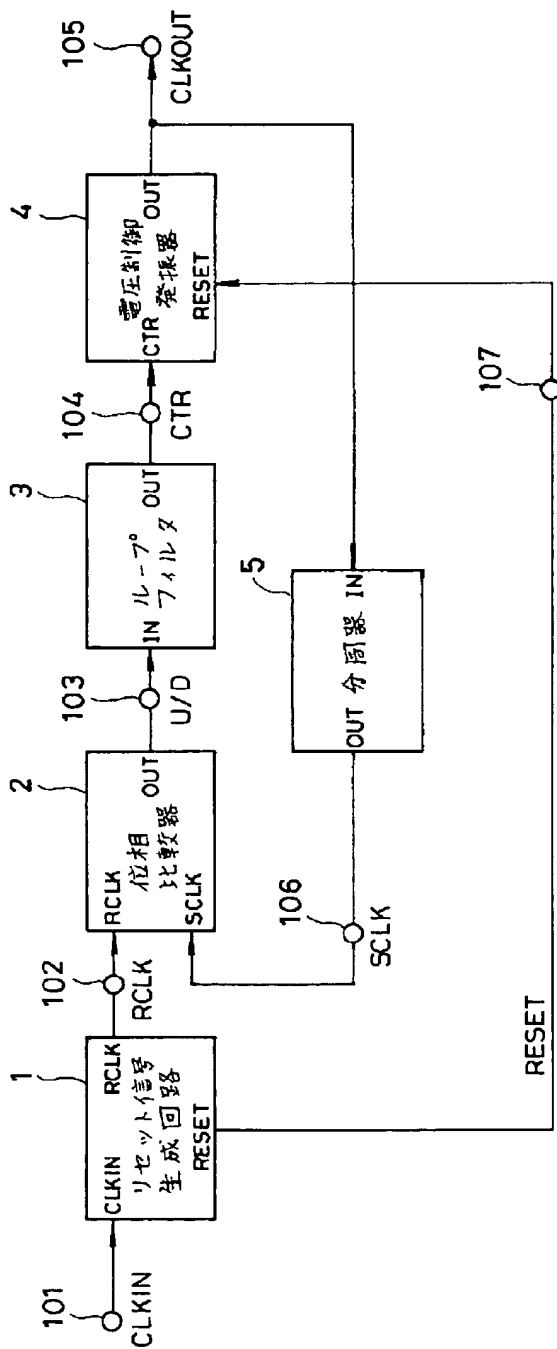
【図7】



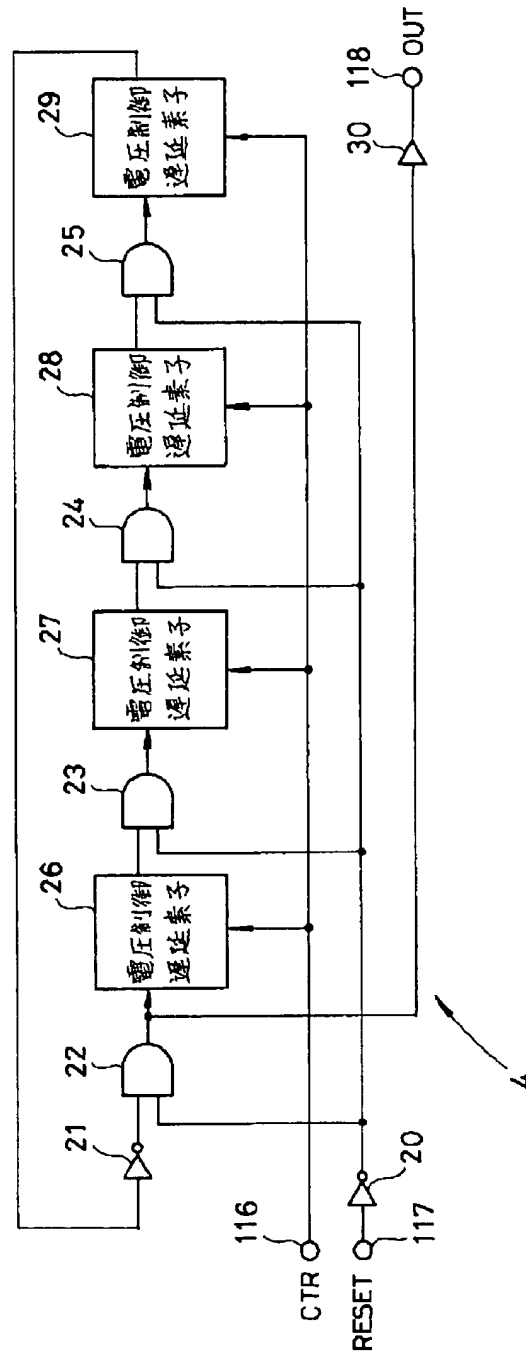
【図10】



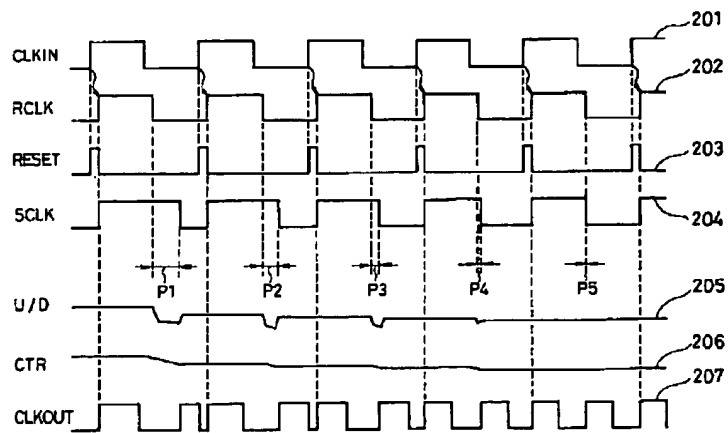
【図1】



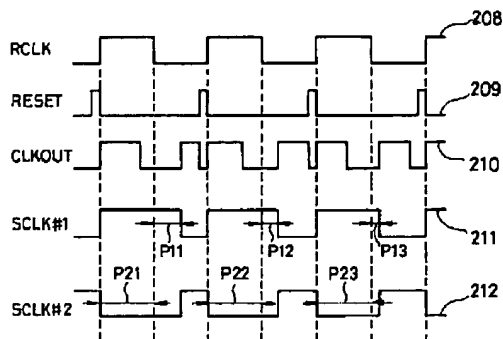
【図5】



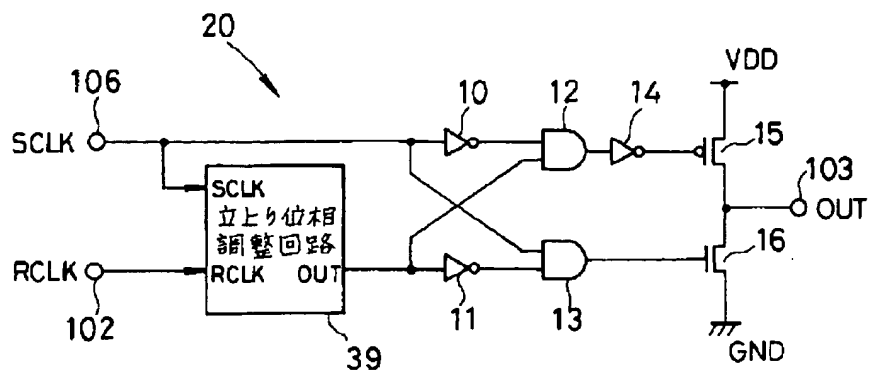
【図8】



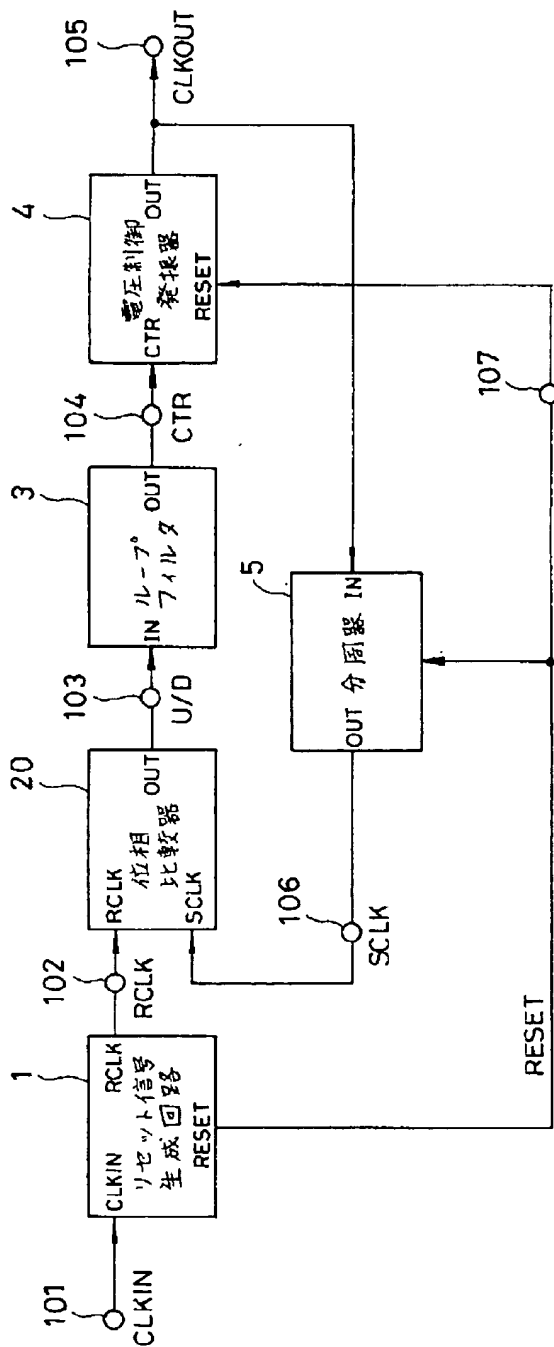
【図11】



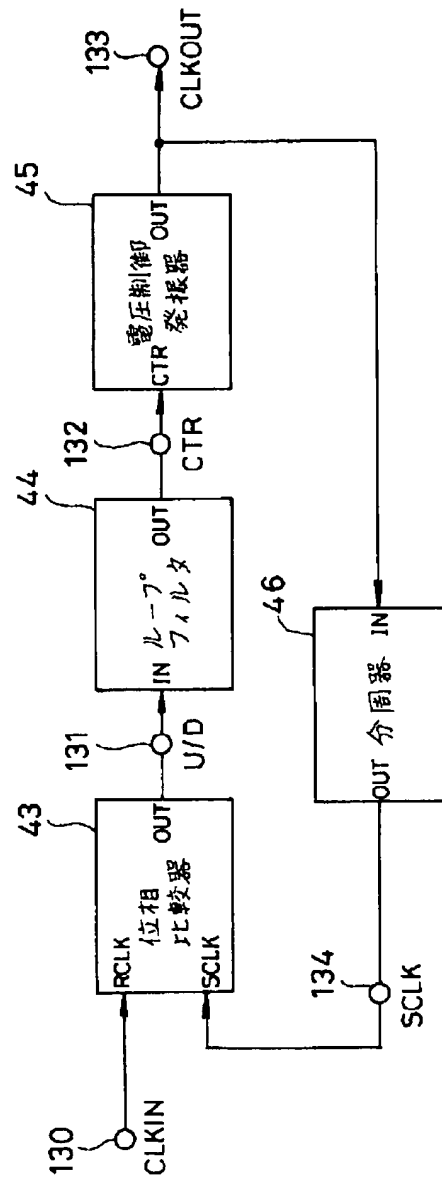
【図12】



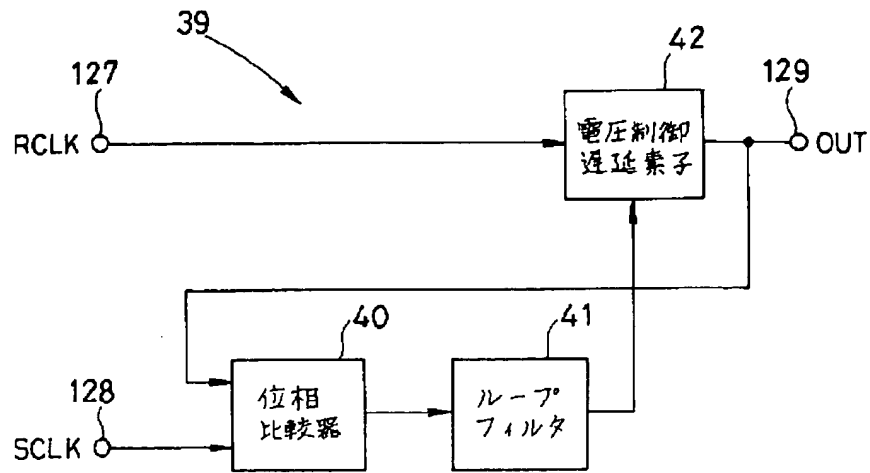
【図9】



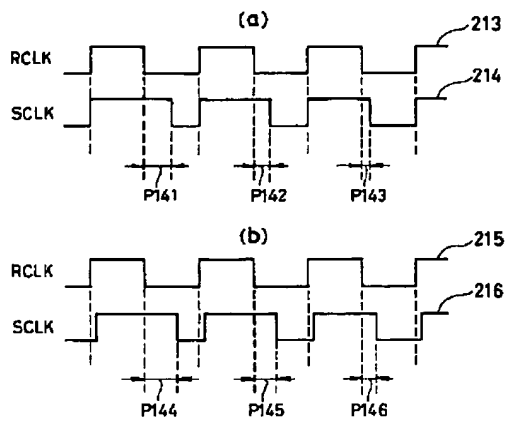
【図15】



【図13】



【図14】



【図16】

